

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-076734

(43)Date of publication of application : 08.04.1987

(51)Int.Cl.

H01L 21/76

H01L 27/08

(21)Application number : 60-216833 (71)Applicant : TOSHIBA CORP

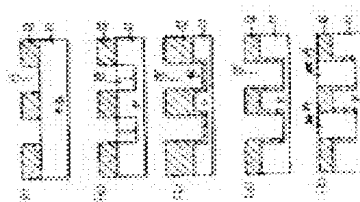
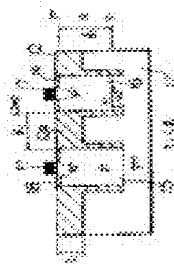
(22)Date of filing : 30.09.1985 (72)Inventor : TAKESHITA YUJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To sufficiently separate elements in narrow width by forming recesses on a substrate having holes of a thick insulating film, exposing the substrate on the bottom of the recesses, filling epitaxial layer in the recesses and holes, thereby providing an element on the epitaxial layer.

**CONSTITUTION:** A thermal oxide film 12 of approx. 104 $\mu$ m is formed on a P-type Si substrate 11, etched by RIE to form holes 13, and recesses 13' are then formed on the substrate 11. The entirety is thermally oxidized to cover the bottoms of the recesses and the side wall with oxide films 14 in such a manner that the thickness is selected in the degree making withstand voltage capable of preventing it from latching up. Then, the films 14 on the bottoms are removed by RIE, the recesses are completely buried with epitaxial layer 15 to bring the upper surface into coincidence with the film 12. Thereafter, an element is formed on the layer 15 by a normal method. According to this configuration, even if the width 12a of the element separating film is reduced, sufficient separating characteristic can be obtained.



(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭62-76734

(43) 公開日 昭和62年(1987) 4 月 8 日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
H O 1 L 21/76		
27/08	1 0 2	

審査請求 有 請求項の数 1 (全 5 頁) (7)

(21) 出願番号 特願昭60-216833

(22) 出願日 昭和60年(1985) 9 月 30 日

(71) 出願人 000000307

株式会社東芝

東 京

(72) 発明者 竹下 祐二

\*

(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【目的】 微小構成で十分な素子分離が可能な素子分離法を含む半導体装置の製造方法を提供する

【効果】 素子分離絶縁膜の幅が小さくても十分な分離特性を得ることができ、高集積化が可能となる

【産業上の利用分野】 M O S 型集積回路装置における素子分離法に係る

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-76734

⑪ Int. Cl.<sup>4</sup>H 01 L 21/76  
27/08

識別記号

1 0 2

庁内整理番号

M-7131-5F  
6655-5F

⑬ 公開 昭和62年(1987)4月8日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭60-216833

⑯ 出 願 昭60(1985)9月30日

⑰ 発 明 者 竹 下 祐 二 大分市大字松岡3500番地 株式会社東芝大分工場内  
 ⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
 ⑲ 代 理 人 弁理士 佐藤 一雄 外2名

明細書の浄書(内容に変更なし)

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. シリコン基板表面に厚い第1の酸化膜を形成する工程と、

この第1の酸化膜を素子形成領域のみ除去するようにパターニングする工程と、

このパターニングされた第1の酸化膜をマスクとして異方性エッチングにより前記シリコン基板をエッチングし、凹部を形成する工程と、

全体を酸化し、前記凹部表面に第2の酸化膜を形成する工程と、

異方性エッチングにより前記凹部底面上の前記第2の酸化膜を除去してシリコン基板面を露出する工程と、

この露出したシリコン基板面上に選択的にエピタキシャル成長層を前記第1の酸化膜表面と同じ高さまで成長させる工程と、

前記エピタキシャル成長層表面に半導体素子を形成する工程と、

を備えた半導体装置の製造方法。

2. 異方性エッチングが反応性イオンエッチングである特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の製造方法に関するもので、特に高集積化された半導体装置に使用されるものである。

(発明の技術的背景とその問題点)

MOS型集積回路装置における素子分離法としては窒化膜を耐酸化膜として使用する選択酸化法が広く用いられている。しかしながら、酸化時のパターン変換差によるバースピーク等の問題があるため、配線幅2μm以下の微小素子には不十分であり、種々の改良あるいは種類の異なる素子分離法が開発されつつある。

## 特開昭62-76734(2)

このような種類の異なる素子分離方法としては第1にトレンチ分離法、第2に選択エピタキシャル成長法、第3に絶縁板上に単結晶シリコン層を形成するSOI (Silicon On Insulator) 法等が考えられている。

このうち、SOI法は将来の三次元ICに結びつく有用な技術ではあるが現在は未だ実用化の域に達していない。

次に、トレンチ分離法はシリコン基板に溝(トレンチ)を形成し、これに絶縁物を埋め込んで素子分離絶縁膜とする方法である。

この方法によれば、素子間分離をほぼ完全に行なうことができ、特にラッチアップ耐量の大さいCMOS構造を実現することができる等優れた特性を有している。

しかし、この方法では形成した溝の中に絶縁物を隙間なく埋め込むことが困難で、特に深い溝の場合に苦しい。このため溝にテーパを付ける等の技術が開発されているが、製造工程の複雑化を招いている。

CMOS構造を形成する様子を示す工程別素子断面図である。

これによれば、p型不純物が高濃度に拡散されたシリコン基板を用い、シリコン酸化膜2を形成後、開口部3を形成し(第4図(a))、この開口部3内に第3図で説明したのと同様の方法を用いてエピタキシャル成長層5を形成し、さらにnウェルとなる部分にはリン、ヒ素等のn型不純物を注入してnウェル6とする(第3図(b))。次に両エピタキシャル成長層5、6の表面にゲート酸化膜を形成した後、多結晶シリコン等によるゲート電極7を形成し、これをマスクとしてp-エピタキシャル成長層5中にリン、ヒ素等のn型不純物を注入、拡散してソース、ドレイン領域となるn型不純物高濃度拡散領域8を形成してnチャネルMOSトランジスタとし、また、nウェル内にホウ素等のp型不純物を注入、拡散してソース、ドレイン領域となるp型不純物高濃度拡散領域9を形成してpチャネルMOSトランジスタとする(第4図(c))。

第3図に選択エピタキシャル成長法による素子分離の形成工程を示す。

まず、シリコン基板1の上に厚さ約5000〜10000Åのシリコン酸化膜2を熱酸化等により形成し、素子形成領域の酸化膜を反応性イオンエッチング(RIE)等によって選択的に除去してシリコン基板1の表面が露出した開口部3を形成する(第3図(a))。

次に、全体にシリコン窒化膜4を約1000Åの厚さに形成し(第3図(b))、反応性スパッタエッチングによって酸化膜2および開口部3内のシリコン基板1表面に形成された窒化膜を除去する(第3図(c))。

次に例えばSiH<sub>2</sub>Cl<sub>2</sub>・H<sub>2</sub>・HCl系でのエピタキシャル成長を行なうと、適当なエピタキシャル成長条件下ではシリコン酸化膜上にはシリコン層が成長せず、シリコン基板上にのみシリコン単結晶が成長し、開口部3がこのエピタキシャル成長層5によって埋め込まれる(第3図(d))。

第4図は選択エピタキシャル成長法により

このような選択エピタキシャル成長法では絶縁膜間をシリコンエピタキシャル層で完全に埋めことができ、かつ表面を完全に平坦化することができる点で優れている。

しかしながら、絶縁膜であるシリコン酸化膜の厚さを例えば2μm以上の厚さにするとバルクシリコンにおいて結晶欠陥が発生したり、酸化膜自体にクラックを生じたりするため、あまり厚くすることができず、したがってエピタキシャル成長層の厚さも酸化膜の厚さに応じたものとなって、トレンチ分離法に比べて素子分離が十分でない。このため素子分離幅 $y_2$ を大きくする必要が生じ、高集積化を妨げている。特に第4図(c)に示されるようにCMOS構造においては必要とされるウェル深さ $l_2$ に対して絶縁膜の厚さ $t_2$ が、 $\Delta x'$ だけ不足し、nウェルが絶縁膜2の下に $\Delta x$ だけ没入するため、絶縁膜2aの幅 $y_2$ は十分に確保しなければならず、さらに高集積化を妨げる。

## 特開昭62-76734(3)

## (発明の目的)

本発明はこのような問題点を解決するためなされたもので、微小構成で十分な素子分離が可能で高集積化が可能な素子分離法を含む半導体装置の製造方法を提供することを目的とする。

## (発明の概要)

上記目的達成のため本発明にかかる半導体装置の製造方法においては、シリコン基板表面に厚い第1の酸化膜を形成する工程と、この第1の酸化膜を素子形成領域のみ除去するようにパターンニングする工程と、このパターンニングされた第1の酸化膜をマスクとして異方性エッチングによりシリコン基板をエッチングし、凹部を形成する工程と、全体を酸化し、凹部表面に第2の酸化膜を形成する工程と、異方性エッチングにより凹部底面上の第2の酸化膜を除去してシリコン基板面を露出する工程と、この露出したシリコン基板面上に選択的にエピタキシャル成長層を第1の酸化膜表面と同じ高さまで成長させる工程と、エピタキシャル成長層表面に半導体素子を形成する工程と、を備

えるように選択される。

この状態でR I E法でエッチングを行なうと溝の底部の酸化膜および素子分離用酸化膜12の上面の酸化膜が除去され、凹部および開口部13となる(第1図(d))。

次に前述したようなエピタキシャル条件を用いると凹部および開口部13の内部でエピタキシャル成長層15が選択的に形成され、溝内を完全に埋める(第1図(e))。このときエピタキシャル成長層15の上面が酸化膜12の上面と一致するようにする。

第2図は第1図(c)の状態においてエピタキシャル成長層15の表面に半導体素子を形成した結果を示したものである。

このような構造はまずエピタキシャル成長時にp型となっている左側のエピタキシャル成長層15をマスクしておき、右側のエピタキシャル成長層15にリンまたはヒ素等のn型不純物を注入、拡散してnウェル16とする。次に、両エピタキシャル成長層15および16の表面を熱酸化して

えており、高集積化を達成できる。

## (発明の実施例)

以下、図面を参照しながら、本発明の一実施例を詳細に説明する。

第1図は本発明にかかる半導体装置の製造法の一実施例を示す工程別素子断面図である。

まずp型シリコン基板11の表面に厚さ5000~10000Åの厚い酸化膜12を熱酸化法等により形成し、素子形成領域に対応する部分を反応性イオンエッチング(R I E)等により選択的に除去し、シリコン基板11の表面が露出するように開口部13を形成する(第1図(a))。

次に、このパターンニングされた酸化膜12をマスクとしてR I E等の異方性エッチングを用いてエッチングし基板11内に凹部13'を形成する(第1図(b))。

続いて全体を熱酸化すると溝部13'の底部および側壁に酸化膜14が1000~3000Åの厚さで形成される(第1図(c))。この酸化膜の厚さはラッチアップを防止できる絶縁耐圧を有

ゲート酸化膜を形成し、その上に多結晶シリコンをC V D法等により堆積し、これをパターンニングしてゲート電極17を形成する。次にこのゲート電極をイオン注入マスクとしてエピタキシャル成長層15の表面にリン、ヒ素等のn型不純物を注入、拡散してソース、ドレイン領域となるn型不純物高濃度不純物拡散領域18を形成してnチャネルM O Sトランジスタを得、またnウェル16内にホウ素等のp型不純物を注入、拡散してソース、ドレイン領域となるp型不純物拡散領域19を形成してpチャネルM O Sトランジスタを得る。

第2図に示されるようにエピタキシャル成長層は酸化膜12の厚さ $t_1$ を超える十分な深さが得られるため、nウェルの深さ $t_1$ はエピタキシャル成長層の深さよりも $\Delta x$ だけ少なくてもすみ、両トランジスタ間の分離酸化膜12aの下には達しない。このため素子分離が完全で酸化膜12aの幅 $\psi_1$ を減少させることができ、高集積化が可能である。

以上の実施例においては厚い酸化膜のエッチン

## 特開昭62-76734(4)

グ、基板凹部の形成、凹部底部の酸化膜の除去にそれぞれ反応性イオンエッチングを用いているが、他の異方性エッチング、例えば反応性スパッタエッチング等を使用することができる。

また実施例ではCMOS型トランジスタを形成しているが、単チャンネルトランジスタより成る集積回路であってもよい。

( 梵 明 の 効 果 )

以上のように、本発明によれば厚い絶縁膜をバ  
ターニング後その開口部下の基板に凹部を形成し、  
その凹部底面の基板表面を露出させた後に選択エ  
ピタキシャル層で凹部および厚い酸化膜の開口部  
を埋め込み、この選択エピタキシャル層表面に素  
子を形成するようにしているので、素子分離絶縁  
膜の幅が小さくても十分な分離特性を得ることが  
でき、高集積化が可能となる。

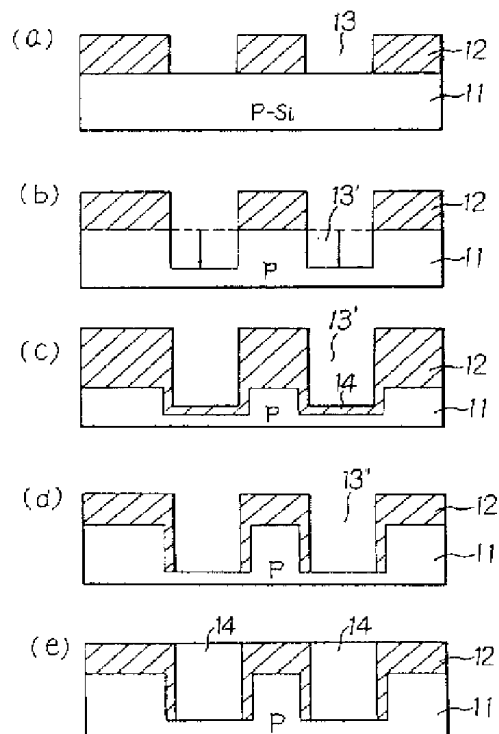
して形成したCMOS型半導体装置の構成を示す素子断面図、第3図は従来の選択エピタキシャル成長法による製造方法を示す工程別素子断面図、第4図は選択エピタキシャル成長法によってCMOS型半導体装置を製造する様子を示す工程別素子断面図である。

1, 11…シリコン基板、2, 12…厚い酸化膜、3, 13…開口部、4, 14…酸化膜、5, 15…エピタキシャル成長層、16…nウェル、7, 17…ゲート電極、8, 9, 18, 19…不純物拡散層。

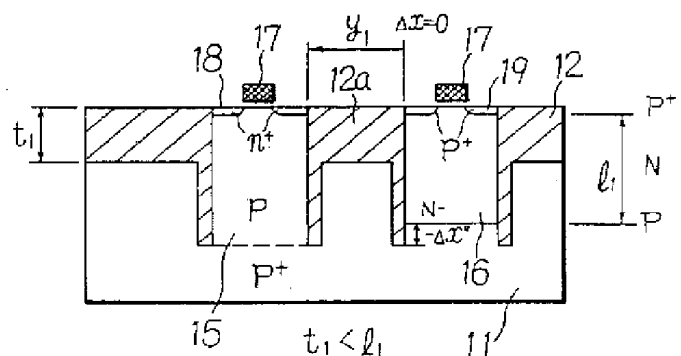
出願人代理人 佐藤 一 雄

#### 4. 図面の簡単な説明

第 1 図は本発明にかかる半導体装置の製造方法を示す工程別素子断面図、第 2 図は本発明を適用



第 1 圖



第2图

## 特開昭62-76734(5)

## 手続補正書

昭和60年10月28日

特許庁長官 宇賀道郎 殿

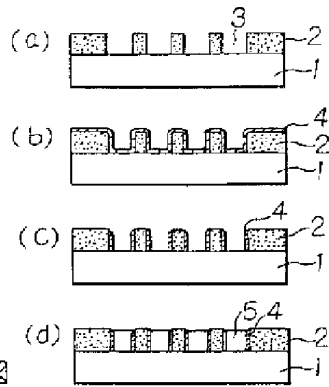
- 1 事件の表示  
昭和60年 特許願 第216833号
- 2 発明の名称  
半導体装置の製造方法
- 3 補正をする者  
事件との関係 特許出願人  
(307) 株式会社 東芝

- 4 代理人  
東京都千代田区丸の内三丁目2番3号  
電話東京(211)2321大代表  
6428 弁理士 佐藤 一 郎

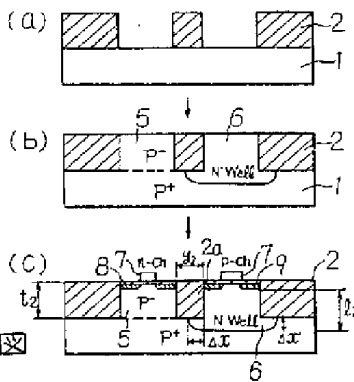
- 5 補正命令の日付  
昭和 年 月 日  
(←発送日 昭和 年 月 日)

- 6 補正により する発明の数 特許庁  
60.10.28  
出願第二号
- 7 補正の対象  
明細書
- 8 補正の内容  
明細書の添書(内容に変更なし)

方式 (m)



第3図



第4図